

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-309386

(P2001-309386A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 4 N 7/32

H 0 3 M 7/40

5 C 0 5 9

H 0 3 M 7/40

H 0 4 N 7/137

Z 5 J 0 6 4

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2000-118434(P2000-118434)

(22) 出願日 平成12年4月19日 (2000.4.19)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 軽部 文利

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 亀丸 敏久

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

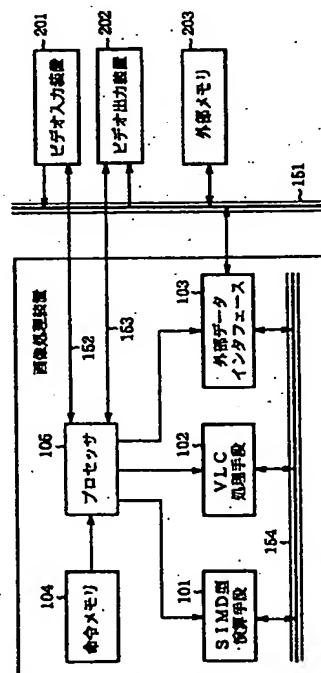
最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 多様な符号化方式に対応でき、クロックサイクル数を削減する。

【解決手段】 SIMD型演算装置101は、外部からプログラマブルに制御可能なバイブライン演算器により、動き補償、動き予測、DCT、IDCT、量子化、逆量子化の各演算を行い、VLC処理装置102は、符号化方式に応じた可変長符号化処理、可変長復号処理を行い、外部データインタフェース103は外部とのデータ転送を処理する。プロセッサ105は、命令メモリ104に保持された命令をデコードし、SIMD型演算装置101、VLC処理装置102、外部データインタフェース103を、プログラマブルに制御する。



## 【特許請求の範囲】

【請求項1】 外部からプログラマブルに制御可能なパイプライン演算器により、動き補償、動き予測、DCT (Discrete Cosine Transform)、IDCT (Inverse Discrete Cosine Transform)、量子化、逆量子化の各演算を行うSIMD (Single Instruction stream Multiple Data stream) 型演算手段と、

符号化方式に応じて可変長符号化処理、可変長復号処理を行うVLC (Variable Length Code) 処理手段と、外部とのデータ転送を処理する外部データインタフェースと、

処理用の命令を保持する命令メモリと、

上記命令メモリに保持された命令をデコードし、上記SIMD型演算手段、上記VLC処理手段及び上記外部データインタフェースをプログラマブルに制御するプロセッサとを備えたことを特徴とする画像処理装置。

【請求項2】 命令メモリにRAM (Random Access Memory) を使用することを特徴とする請求項1記載の画像処理装置。

【請求項3】 命令メモリにROM (Read Only Memory) を使用することを特徴とする請求項1記載の画像処理装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は多様な符号化方式に対応できる画像処理装置に関するものである。

【0002】

【従来の技術】 図9は例えば、映像情報メディア学会誌1999 Vol. 53 NO. 4「MPEG-4 LSIとインターネット、放送サービス」に示された従来の画像処理装置の構成を示すブロック図である。

【0003】 図9において、201はプログラムを記憶する命令メモリ、202は可変長符号化を行うVLE (Variable Length Encode)、203は可変長復号を行うVLD (Variable Length Decode)、204はVLD203が保有するメモリ、205は動き補償処理を行う動き補償部、206、207は、それぞれ動き予測処理を行う動き予測部A、動き予測部Bで、208はDCT (Discrete Cosine Transform) 処理を行うDCT部、209はIDCT (Inverse Discrete Cosine Transform) 処理を行うIDCT部である。

【0004】 また、図9において、220は画像信号を保持する外部メモリ、230a~230fは後述のプロセッサ211、動き補償部205、動き予測部A206、動き予測部B207、DCT部208、IDCT部

209に内蔵されたローカルメモリ、210は各ローカルメモリ230a~230fと外部メモリ220を制御するDMA (Direct Memory Access) 制御部、211はVLE202、VLD203、DMA制御部210を制御するプロセッサである。

【0005】 次に動作について説明する。従来の画像処理装置において、動き補償、動き予測、DCT、IDCTを行う場合には、それぞれ動き補償の処理を行う動き補償部205、動き予測の処理を行う動き予測部A206、動き予測部B207、DCTの処理を行うDCT部208、IDCTの処理を行うIDCT部209の各固有のブロックが、各処理に対応した処理を行う。また、量子化を行う場合には、プロセッサ211が量子化処理を行う。

【0006】

【発明が解決しようとする課題】 従来の画像処理装置は以上のように構成されているので、動き補償部205、動き予測部A206、動き予測部B207、DCT部208、IDCT部209は、アルゴリズムに固有のブロックになり、多様な符号化方式に対応できないという課題があった。

【0007】 また、量子化を行う場合には、量子化固有のブロックではなく、プロセッサ211が量子化処理を行うので、クロックサイクル数が多くなるという課題があった。

【0008】 この発明は上記のような課題を解決するためになされたもので、多様な符号化方式に対応でき、画像処理を行うためのクロックサイクル数を削減した画像処理装置を得ることを目的とする。

30 【0009】

【課題を解決するための手段】 この発明に係る画像処理装置は、外部からプログラマブルに制御可能なパイプライン演算器により、動き補償、動き予測、DCT、IDCT、量子化、逆量子化の各演算を行うSIMD型演算手段と、符号化方式に応じて可変長符号化処理、可変長復号処理を行うVLC処理手段と、外部とのデータ転送を処理する外部データインタフェースと、処理用の命令を保持する命令メモリと、上記命令メモリに保持された命令をデコードし、上記SIMD型演算手段、上記VLC処理手段及び上記外部データインタフェースをプログラマブルに制御するプロセッサとを備えたものである。

【0010】 この発明に係る画像処理装置は、命令メモリにRAMを使用するものである。

【0011】 この発明に係る画像処理装置は、命令メモリにROMを使用するものである。

【0012】

【発明の実施の形態】 以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による画像処理装置の構成を示すブロック図である。図におい

て、101は、外部からプログラマブルに制御可能なパイプライン演算器により、動き補償、動き予測、DC T、IDCT、量子化、逆量子化の各演算を実現するSIMD (Single Instruction stream Multiple Data stream) 型演算手段、102は符号化方式に応じて可変長符号化、可変長復号処理を実現するVLC処理手段、103は外部とのデータ転送を処理する外部データインタフェースである。

【0013】また、図1において、104は、この画像処理装置の処理用の命令を保持する命令メモリ、105は、スカラー演算やビット操作演算、比較分岐命令を行うと共に、命令メモリ104に保持されている命令をデコードし、SIMD型演算手段101、VLC処理手段102、外部データインタフェース103、後述するビデオ入力装置201、後述するビデオ出力装置202を制御するプロセッサである。

【0014】さらに、図1において、201は外部からビデオ信号を入力するビデオ入力装置、202は外部にビデオ信号を出力するビデオ出力装置、203はビデオ信号を保持する外部メモリである。

【0015】さらに、図1において、151は外部データインタフェース103とビデオ入力装置201、ビデオ出力装置202、外部メモリ203を接続する32ビット幅のビデオデータバス、152、153はそれぞれプロセッサ105とビデオ入力装置201、ビデオ出力装置202を接続し、ビデオ信号の入出力を制御する入出力制御信号、154はSIMD型演算装置101、VLC処理装置102、外部データインタフェース103を接続する32ビット幅の内部データバスである。

【0016】次に動作について説明する。図2は実施の形態1による画像処理装置の符号化処理を示すフローチャートである。ステップST1において、ビデオ入力装置201から画像データAを外部メモリ203に転送する。ステップST2において、外部メモリ203からSIMD型演算手段101で行う処理に応じて、画像データAのうち必要な画素データBを外部データインタフェース103に転送する。

【0017】ステップST3において、SIMD型演算手段101で、動き補償、DC T、量子化の各処理を行い、変換係数データCを得る。ステップST4において、VLC処理手段102で変換係数データCを可変長符号に変換する。ステップST5において、VLC処理手段102での処理の結果としてビットストリームデータDを得る。

【0018】次に、一例として、SIMD型演算手段101によるDC T処理で行う8行8列の行列の積の演算動作について説明する。図3は16並列の並列メモリと8並列のパイプライン演算器からなる汎用的SIMD型演算手段の構成を示すブロック図である。図において、

301a-1、301a-2、301b-1、301b-2、301c-1、301c-2、・・・、301d-1、301d-2は16並列のメモリ、311a、311b、311c、・・・、311dは8並列のパイプライン演算器である。ここで、Unit #0はメモリ301a-1、301a-2、パイプライン演算器311aにより構成され、以下、同様にUnit #1、Unit #2、・・・、Unit #7は各メモリと各パイプライン演算器により構成されている。

【0019】また、図3の各パイプライン演算器において、351は加算、減算の各処理を行う加減算器、352は乗算の処理を行う乗算器、353は差分の処理を行う差分器、354は累算の処理を行う累算器、355はシフト処理、丸め処理を行うシフト器、丸め器、356はクリッピングの処理を行うクリッピング器、361a～361gは演算結果の値を保持するレジスタである。

【0020】図4は行列の積を行う2つの行列X、行列Yの要素を示す図である。行列Xの1行目と行列Yの1列目の積の演算を開始するにあたり、メモリ301a-1、301b-1、301c-1、・・・、301d-1には、行列Xの第1行目、すなわち、X1、X2、・・・、X8が共通に保持される。また、メモリ301a-2には、行列Yの第1列目、すなわち、Y1、Y2、・・・、Y8が保持され、301b-2には、行列Yの第2列目、すなわち、Y9、Y10、・・・、Y16が保持され、以下、同様にして、メモリ301c-2、・・・、301d-2には、それぞれ行列Yの第3列目から第8列目が保持される。

【0021】そして、Unit #0により、行列Xの第1行目と行列Yの第1列目の演算が行われ、Unit #1により、行列Xの第1行目と行列Yの第2列目の演算が行われ、以下、同様にして、Unit #7により、行列Xの第1行目と行列Yの第8列目の演算が行われる。

【0022】図5はUnit #0による8行8列の行列の積のパイプライン動作を示す図である。第1番目のサイクルで、メモリ301a-1から行列Xの要素X1を、メモリ301a-2から行列Yの要素Y1をパイプライン演算器311aに転送する。

【0023】第2番目のサイクルで、パイプライン演算器311aの乗算器352によりX1とY1の乗算を行い、同時にメモリ301a-1から行列Xの要素X2を、メモリ301a-2から行列Yの要素Y2をパイプライン演算器311aに転送する。

【0024】第3番目のサイクルで、パイプライン演算器311aの乗算器352により、X2とY2の乗算を行い、同時にメモリ301a-1から行列Xの要素X3を、メモリ301a-2から行列Yの要素Y3を、パイプライン演算器311aに転送する。

【0025】第4番目のサイクルで、パイプライン演算器311aの累算器354により、X1×Y1とX2×

Y2との累算を行い、同時にパイプライン演算器311aの乗算器352で、X3とY3の乗算を行い、同時にメモリ301a-1から行列Xの要素X4、メモリ301a-2から行列Yの要素Y4をパイプライン演算器301aに転送する。

【0026】Unit#0による行列Xの第1行目と行列Yの第1列目の演算と同様に、Unit#1からUnit#7により各演算が行われ、上記の処理を繰り返し行うことにより、8行8列の行列の積を実現する。

【0027】次にクロックサイクル数について説明する。様々な符号化方式に対応させるためには、汎用プロセッサによる機能の実現が一般的である。図6はマクロブロック当たりのクロックサイクル数を汎用プロセッサのみによる場合と、汎用プロセッサとVLC処理手段102を共に動作させた場合の比較を示す図である。図6に示すように、VLC処理手段102を用いることにより、クロックサイクル数を削減できるが、行列演算に多くのサイクル数を必要としており十分とは言えない。

【0028】図7はマクロブロック当たりのクロックサイクル数を汎用プロセッサのみによる場合と、汎用プロセッサとSIMD型演算手段101を共に動作させた場合の比較を示す図である。図7に示すように、SIMD型演算手段101を用いることによりクロックサイクル数を削減できるが、VLC演算に多くのサイクル数を必要としており十分とは言えない。

【0029】図8はマクロブロック当たりのクロックサイクル数を汎用プロセッサのみによる場合と、汎用プロセッサとVLC処理手段102とSIMD型演算手段101を共に動作させた場合の比較を示す図である。図8に示すように、VLC処理手段102とSIMD型演算手段101を共に用いることにより、十分にクロックサイクル数の削減を実現できる。

【0030】以上のような構成により、命令メモリ104からSIMD型演算手段101、VLC処理手段102、外部データインタフェース103用のプログラムをプロセッサ105がデコードし、プログラマブルにSIMD型演算手段101、VLC処理手段102、外部データインタフェース103を制御することができるので、多様な符号化方式に対応することができる。

【0031】また、従来の画像処理装置では、DCT部、IDCT部がそれぞれ独立していたが、DCT処理とIDCT処理は同時に実行しないので、この実施の形態の画像処理装置のSIMD型演算手段101のように1つにすることで、ハードウェアの削減を実現できる。

【0032】従来の画像処理装置では、動き補償を行う場合、動き補償部、動き予測部A、動き予測部Bが同時に動き得るが、この実施の形態の画像処理装置のSIMD型演算手段101は、並列に画像データを処理することができるので、1つのブロックでも高速演算を実現できる。

【0033】なお、関連する従来技術として、特開平6-292178号公報に開示された適応形ビデオ信号演算処理装置、及び特開平8-50575号公報に開示されたプログラマブルプロセッサがあるが、この実施の形態におけるVLC処理手段102に相当する手段は含まれていない。この実施の形態における画像処理装置では、SIMD型演算手段101とVLC処理手段102は並列に動作するので、少ないクロックサイクル数で効率的な画像処理を実現できる。

10 【0034】以上のように、この実施の形態1によれば、動き補償、動き予測、DCT、IDCT、量子化、逆量子化の各処理を行うSIMD演算手段101と、可変長符号化を行うVLC処理手段102を備えることにより、多様な符号化方式に対応できると共に、画像処理を行うためのクロックサイクル数を削減することができるといふ効果が得られる。

【0035】実施の形態2。この実施の形態2による画像処理装置の構成は、実施の形態1の図1の命令メモリ104に、命令を外部からダウンロードするRAM(Random Access Memory)を用いたものである。その他の動作については実施の形態1と同様である。

【0036】以上のように、この実施の形態2によれば、命令を外部からダウンロードするRAMを使用することにより、1つのLSIで多様な符号化方式に対応できる画像処理装置を実現できるといふ効果が得られる。

【0037】実施の形態3。この実施の形態3による画像処理装置の構成は、実施の形態1の図1の命令メモリ104に、低価格で面積の小さいROM(Read Only Memory)を用いたものである。その他の動作については実施の形態1と同様である。

【0038】以上のように、実施の形態3によれば、ROMを使用することにより、LSIの面積を小さくでき、低価格化な画像処理装置を実現できるといふ効果が得られる。

【0039】以上の各実施の形態では、符号化処理に関するものであるが、復号処理でも良く本願を制限するものではない。

【0040】また、上記実施の形態1では、SIMD型演算手段101の動作として、DCTの場合を例示したが、動き予測、IDCT、量子化、逆量子化、フィルタ生成においても、加減算器351、乗算器352、差分器353、累算器354、シフト器、丸め器355、クリッピング器356により各処理を実現でき、本願を制限するものではない。

【0041】

【発明の効果】以上のように、この発明によれば、外部からプログラマブルに制御可能なパイプライン演算器により、動き補償、動き予測、DCT、IDCT、量子化、逆量子化の各演算を行うSIMD型演算手段と、符

号化方式に応じて可変長符号化処理、可変長復号処理を行うVLC処理手段と、外部とのデータ転送を処理する外部データインタフェースと、処理用の命令を保持する命令メモリと、命令メモリに保持された命令をデコードし、SIMD型演算手段、VLC処理手段及び外部データインタフェースをプログラマブルに制御するプロセッサとを備えたことにより、多様な符号化方式に対応できると共に、画像処理を行うためのクロックサイクル数を削減することができるという効果がある。

【0042】この発明によれば、命令メモリにRAMを使用することにより、1つのLSIで多様な符号化方式に対応できる画像処理装置を実現できるという効果がある。

【0043】この発明によれば、命令メモリにROMを使用することにより、LSIの面積を小さくでき、低価格な画像処理装置を実現できるという効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1による画像処理装置の構成を示すブロック図である。

【図2】 この発明の実施の形態1による画像処理装置の処理を示すフローチャートである。

【図3】 この発明の実施の形態1による画像処理装置のSIMD型演算手段の構成を示す図である。

【図4】 この発明の実施の形態1による画像処理装置のSIMD型演算手段により行列の積を行う場合の行列要素を示す図である。

【図5】 この発明の実施の形態1による画像処理装置\*

\*のSIMD型演算手段により行列の積を行う場合のパイプライン動作を示す図である。

【図6】 マクロブロック当たりのクロックサイクル数を、汎用プロセッサのみの場合とVLC処理手段を用いた場合とで比較した図である。

【図7】 マクロブロック当たりのクロックサイクル数を、汎用プロセッサのみの場合とSIMD型演算手段を用いた場合とで比較した図である。

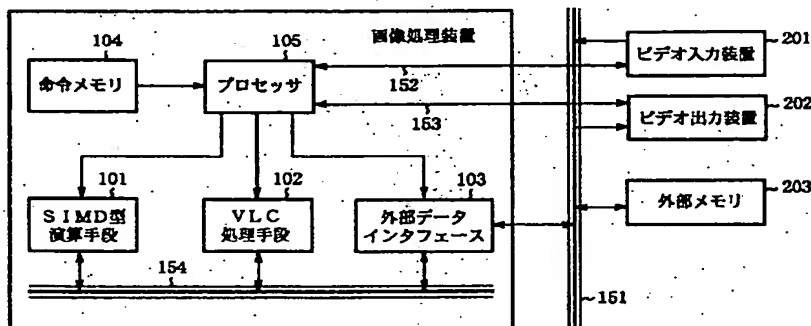
【図8】 この発明の実施の形態1による画像処理装置のマクロブロック当たりのクロックサイクル数を示す図である。

【図9】 従来の画像処理装置の構成を示すブロック図である。

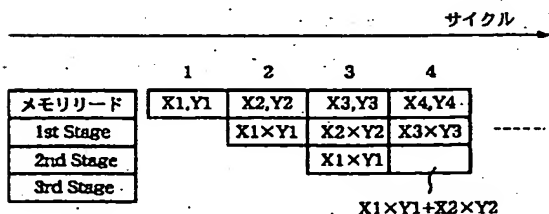
#### 【符号の説明】

101 SIMD型演算手段、102 VLC処理手段、103 外部データインタフェース、104 命令メモリ、105 プロセッサ、151 ビデオデータバス、152、153 入出力制御信号、154 内部データバス、201ビデオ入力装置、202 ビデオ出力装置、203 外部メモリ、301a-1、301a-2、301b-1、301b-2、301c-1、301c-2、301d-1、301d-2 メモリ、311a、311b、311c、311d パイプライン演算器、351 加減算器、352 乗算器、353 差分器、354 累算器、355 シフト器、丸め器、361a~361g レジスタ。

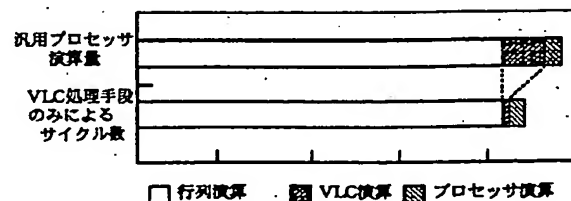
【図1】



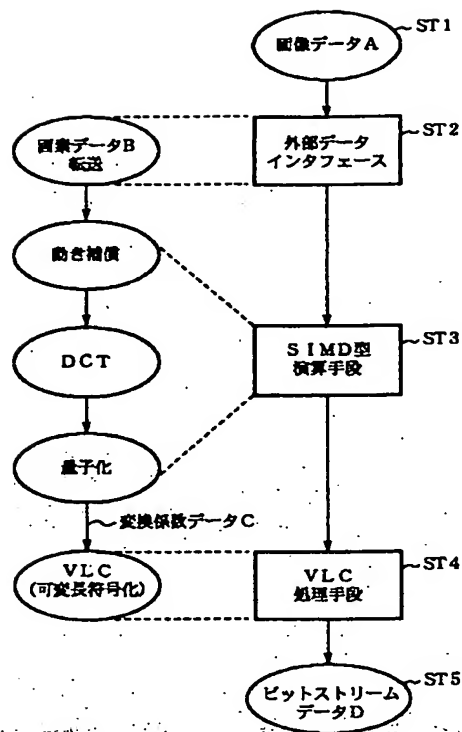
【図5】



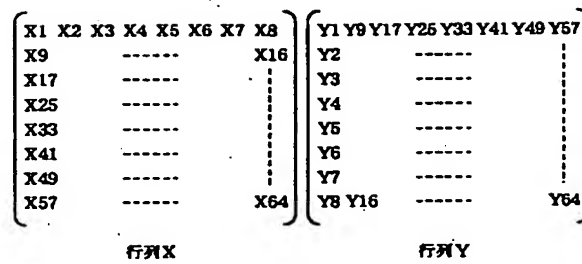
【図6】



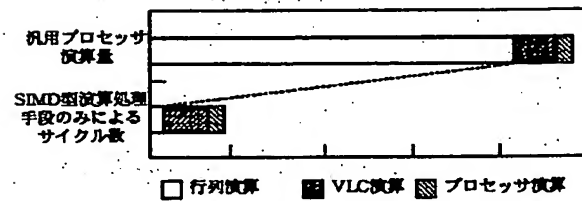
【図2】



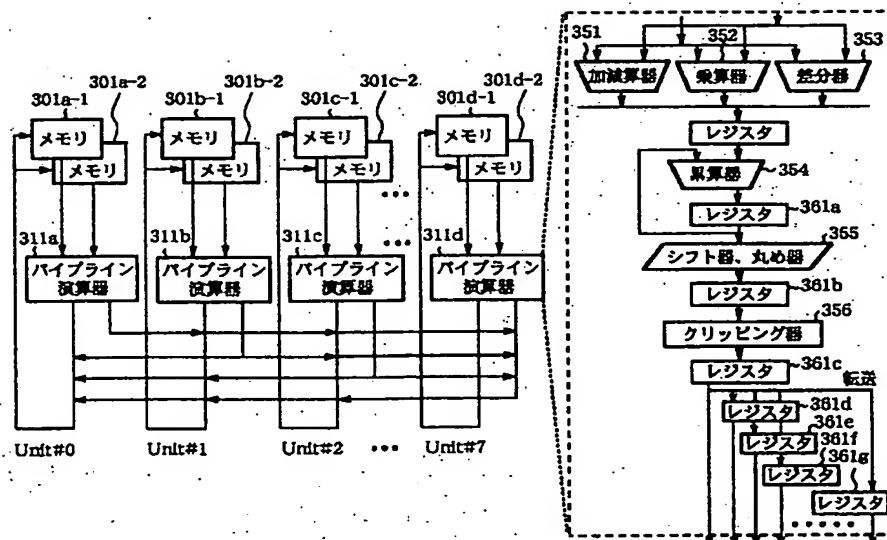
【図4】



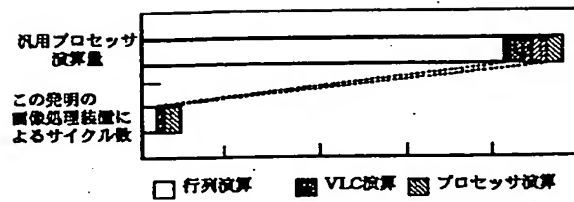
【図7】



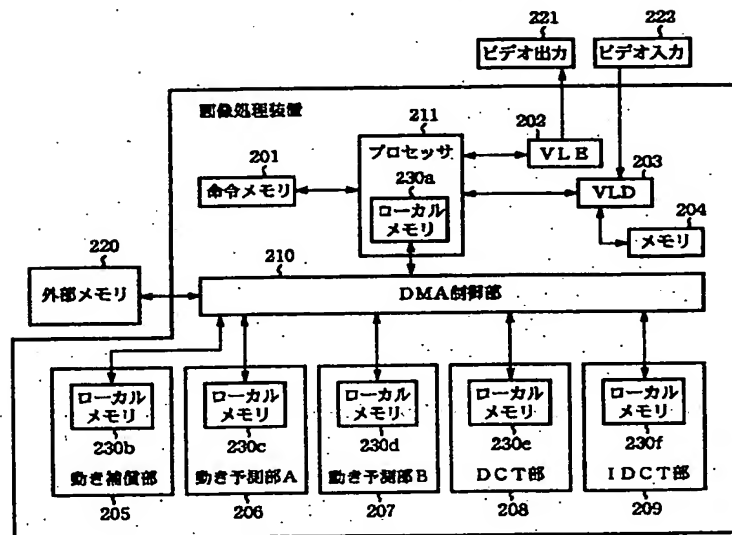
【図3】



(図8)



(図9)



フロントページの続き

(72)発明者 鈴木 弘一  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) SC059 KK14 MA05 MA23 MC11 ME01  
NN01 RB02 SS26 UA29 UA38  
UA39  
SJ064 AA02 BA09 BB03 BB06 BC01  
BC02 BC08 BC09 BC16 BC29  
BD03